

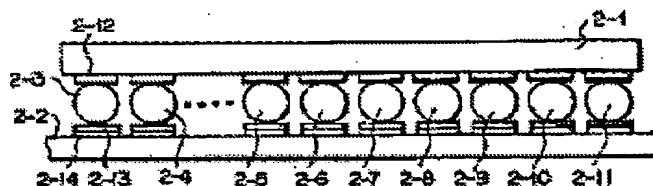
# MOUNTING DEVICE OF ELECTRIC CIRCUIT ELEMENT

Patent number: JP2002289767  
Publication date: 2002-10-04  
Inventor: MATSUURA MAKOTO  
Applicant: CANON KK  
Classification:  
- international: H01L25/065; H01L25/07; H01L25/18; H01L25/065;  
H01L25/07; H01L25/18; (IPC1-7): H01L25/065;  
H01L25/07; H01L25/18  
- european:  
Application number: JP20010087780 20010326  
Priority number(s): JP20010087780 20010326

Report a data error here

## Abstract of JP2002289767

**PROBLEM TO BE SOLVED:** To provide the mounting device of an electric circuit element capable of reducing the number of parts, miniaturizing equipment and reducing the weight of the equipment. **SOLUTION:** Spherical elements 2-3 to 2-11 forming an electric circuit comprising the electric circuit element or a plurality of the electric circuit elements are used to interpose the spherical elements 2-3 to 2-11 between two substrates 2-1, 2-2, and the electric circuit comprising the electric circuit element or the plurality of the electric circuit elements is mounted between the substrates 2-1, 2-2 by electrically connecting both the substrates 2-1, 2-2.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-289767

(P2002-289767A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 25/065  
25/07  
25/18

識別記号

F I

H 0 1 L 25/08

データベース (参考)

B

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2001-87780 (P2001-87780)

(22) 出願日 平成13年3月26日 (2001.3.26)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 松浦 誠

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100065385

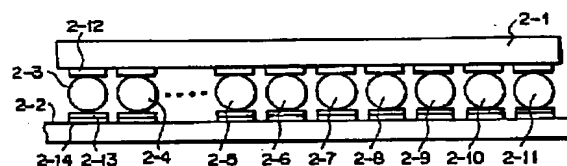
弁理士 山下 稯平

(54) 【発明の名称】 電気回路素子の実装方法

(57) 【要約】 (修正有)

【課題】 部品点数を削減でき、機器の小型、軽量化が可能な電気回路素子の実装方法を提供する。

【解決手段】 電気回路素子又は複数の電気回路素子から成る電気回路が形成された球状素子2-3~2-11を用い、2つの基板2-1、2-2間に球状素子2-3~2-11を介在させて両基板2-1、2-2を電氣的に接続することにより、基板2-1、2-2間に電気回路素子又は複数の電気回路素子から成る電気回路を実装する。



【特許請求の範囲】

【請求項 1】 電気回路素子又は複数の電気回路素子から成る電気回路が形成された球状素子を用い、2つの基板間に前記球状素子を介在させて両基板を電氣的に接続することにより、前記基板間に電気回路素子又は複数の電気回路素子から成る電気回路を実装することを特徴とする電気回路素子の実装方法。

【請求項 2】 前記基板は、プリント回路基板又は IC 基板であることを特徴とする請求項 1 に記載の電気回路素子の実装方法。

【請求項 3】 前記球状素子は、前記 2 つの基板のうちいずれか一方の基板に接続され、前記球状素子を介して他方の基板と接続されることを特徴とする請求項 1 に記載の電気回路素子の実装方法。

【請求項 4】 少なくとも 1 つに電気回路素子又は複数の電気回路素子から成る電気回路が形成され、且つ、基板との接続部及び他の球状素子との接続部に電極が形成された複数の球状素子を用い、2つの基板間に前記複数の球状素子を近接した状態で介在させて2つの基板と複数の球状素子の電極を電氣的に接続し、且つ、球状素子の側部に形成された電極同士を電氣的に接続することにより、前記基板間に電気回路素子又は複数の電気回路素子から成る電気回路を実装することを特徴とする電気回路素子の実装方法。

【請求項 5】 前記基板は、プリント回路基板又は IC 基板であることを特徴とする請求項 4 に記載の電気回路素子の実装方法。

【請求項 6】 前記球状素子は、前記 2 つの基板のうちいずれか一方の基板に接続され、前記球状素子を介して他方の基板と接続されることを特徴とする請求項 4 に記載の電気回路素子の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、球状素子を用いて電気回路素子や電気回路等を実装する方法に関するものである。

【0002】

【従来の技術】近年において技術の進歩と共に各種電気機器の回路規模が増大する一方で、小型、軽量及び廉価であることの要求も強くなってきている。そのような要求に応えるべく、IC ではパッケージ周辺にリードを出した形態から IC の裏面全体に入出力パッドを配置するというボールグリッドアレイ (BGA) パッケージに、プリント回路基板においてはボール状のハンダ等を、基板の所定の面に二次元的に配置された入出力パッドに固定しておくハンダバンプ等の実装方法が広く実用化されており、高度に集積された IC やプリント回路基板の実装面積を小さくすることに貢献している。

【0003】図 14 はこのような実装形態の一例を示す概略図である。図 14 において、14-1 はプリント回

路基板 (以下、PCB という)、又は IC のような素子 (IC 基板) である。また、14-2 は PCB 14-1 と接続する PCB である。PCB 14-2 のハンダ接続用の電極にはハンダペースト 14-7 ~ 14-10 が塗布されている。14-3 ~ 14-6 は外形が球状のハンダ (以下ハンダボール) で、これらは PCB 14-1 にハンダによる接続で一体化されている。これを PCB 14-2 に載せて加熱することにより PCB 14-1 と 14-2 の各電極がハンダで接続される。

10 【0004】

【発明が解決しようとする課題】ところで、小型、軽量、あるいは廉価の要求には終わりがなく、その一方で、機器の高周波化・デジタル化が益々進み、回路基板内のノイズや反射による伝送波形の劣化、あるいは不要輻射を抑えることが大きな問題になっている。その対策のため、ダンピング抵抗、バイパスコンデンサ、あるいは EMI (Electromagnetic Interference) 除去フィルタ等の部品が増加する傾向にある。

20 【0005】また、デジタル放送対応のテレビジョン受信機等の新ジャンルの機器や既存のジャンルの機器においても多機能化した場合には、回路規模が増大し、部品点数が多くなる。このような部品点数の増加は機器のコストを引き上げると共に、実装面積が大きくなり、基板上の配線が長くなる。更に、バイパスコンデンサや終端抵抗等も最適な位置に配置しづらくなるため、逆にノイズ等の対策を困難にするという問題があるが、上記従来の接続方法ではハンダボールを用いて基板間を接続するだけであるので、前述のような部品増加に伴う実装面積

30 の増加やノイズ対策に十分に対応できなかった。

【0006】本発明は、上記従来の問題点に鑑みなされたもので、その目的は、部品点数を削減でき、機器の小型、軽量化が可能な電気回路素子の実装方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の目的は、電気回路素子又は複数の電気回路素子から成る電気回路が形成された球状素子を用い、2つの基板間に前記球状素子を介在させて両基板を電氣的に接続することにより、前記基板間に電気回路素子又は複数の電気回路素子から成る電気回路を実装することを特徴とする電気回路素子の実装方法によって達成される。

【0008】また、本発明の目的は、少なくとも 1 つに電気回路素子又は複数の電気回路素子から成る電気回路が形成され、且つ、基板との接続部及び他の球状素子との接続部に電極が形成された複数の球状素子を用い、2つの基板間に前記複数の球状素子を近接した状態で介在させて、2つの基板と複数の球状素子の電極を電氣的に接続し、且つ、球状素子の側部に形成された電極同士を電氣的に接続することにより、前記基板間に電気回路素

50

子又は複数の電気回路素子から成る電気回路を実装することを特徴とする電気回路素子の実装方法によって達成される。

【0009】本発明においては、球状素子は接続対象の基板間を接続する役割を果たすと共に、基板間に、例えば、抵抗、コイル、コンデンサやトランジスタ等の回路素子又はそれらを組み合わせた電気回路を実装することができる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下の実施形態においては微小な球状半導体の表面に半導体プロセスを用いて抵抗、容量、コイル、ダイオード等の回路素子を形成し、更に、ハンダメッキで電極を形成し、これらの球状素子を一般的なハンダボールとして用い、第1の素子（例えばIC基板）又はプリント回路基板（以下PCB）と、第2の素子（例えばIC基板）又はPCBとの間に球状素子を介在させて、2つの素子（基板）を電気的に接続することにより、第1の素子と第2の素子の間に電気回路素子や電気回路を実装するものである。

【0011】図1（a）及び（b）は以下の実施形態において球状素子を用いて2つの基板を接続する場合の方法を説明するための図である。図1（a）において、1-1はPCB、1-2はPCB1-1と接続するPCBである。1-3～1-8は回路から引き出された配線パターンで球状素子を接続する部分にはハンダペースト1-9～1-16が塗布されている。なお、図中1-23、1-24はスルホール、1-22で示す斜線部はフォトレジスト層である。PCB1-2のハンダペースト部に球状素子1-17～1-20を配置し、これらを加熱することによりPCB1-2と球状素子1-17～1-20とを一体化しておく。これにPCB1-1を載せて再度加熱することにより、PCB1-1と1-2の各電極が球状素子1-17～1-20を通してハンダで接続される。この時、1-19と1-20のように球状素子を互いの側面1-21で接触させることで側面のハンダ接続を実現できる。

【0012】図1（b）はボールグリッドアレイ（以下BGA）接続用のパッケージを持つIC1-25とPCB1-26とを1-31～1-34の球状素子で接続する例を示す。1-27～1-30は回路から引き出された配線パターン、1-36～1-43はハンダペーストである。球状素子1-33と1-34は側面1-35で接触している。図1（a）の場合と同様にIC1-25のハンダペースト部に球状素子1-31～1-34を置き、これらを加熱することによりIC1-25と球状素子1-31～1-34とを一体化しておく。この時、球状素子1-33と1-34がハンダで接続される。これをPCB1-26に載せて再度加熱することにより、IC1-25とPCB1-26の各電極が球状素子1-3

1～1-34を介してハンダで接続される。

【0013】以下の実施形態においては以上の接続方法を用い、球状素子に抵抗、コンデンサ、コイル、ダイオード等の電気回路素子又はこれらの回路素子を組み合わせた電気回路を形成し、PCBやIC基板等の間に球状素子を介在させて2つの基板を電気的に接続し、基板間に電気回路素子や電気回路を実装することで機器の小型化、軽量化等を実現するものである。

【0014】（第1の実施形態）図2は本発明の第1の実施形態を示す図である。図2において、2-1はパッケージの電極にハンダペーストが塗布されたBGA用IC、2-2はIC2-1を実装するPCBである。また、2-3～2-11は図4（a）、（b）に示すように2種類の球状の素子である。このうち、2-3～2-6は図4（a）に示す球状素子で、球状半導体4-1の表面に抵抗4-2（例えば、100Ω）を形成し、更に、球の両極の抵抗体の上にハンダメッキを施し、電極4-3、4-4を形成したものである。

【0015】また、2-7～2-11は図4（b）に示す球状素子であり、球状半導体4-5の表面にハンダメッキ4-6を施したものである。図4（b）の4-5と4-6とを足し合わせた球の直径は、図4（a）の球状半導体4-1と抵抗体4-2とを足し合わせた直径に電極4-3及び4-4の厚みを加算した長さに等しくしている。なお、球状素子2-7～2-11の代わりに、これらと直径の等しいハンダボールを使用してもよい。IC2-1の各電極とPCBの配線パターンの各電極（2-14等）には、2-12、2-13で示すようにハンダペーストが塗布されている。

【0016】図3は図2の実施形態の概略回路を示すブロック図である。3-1は図2のIC2-1で、ここでは100MHzの変換レートを持つ10ビットのA/D変換器とする。3-2は図2のPCB2-2で、電源線3-3、グラウンド線3-4、A/D変換に必要な基準電圧源3-5、3-6、チップ選択信号3-7、A/D変換の基準クロック3-8をA/D変換器3-1に供給し、A/D変換器3-1からA/D変換された10本の信号3-9～3-11を受け取る回路等を含んでいる。3-8～3-11は図4（a）に示す球状素子、3-3～3-7（2-7）は図4（b）に示す球状素子又は図4（b）の球状素子と直径の等しいハンダボールとする。

【0017】A/D変換された信号3-9～3-11はPCB3-2上のIC3-12に入力される。IC3-12は、例えば、重み付け等の信号処理を行うICや、パラレル・シリアル変換を行うICである。本実施形態においては、3-13～3-16の球状素子はIC3-1とPCB3-2とを接続するハンダボールの役割を果たすと共に、抵抗体で回路の電流を制限することで信号波形のスルーレートを下げ、それにより輻射ノイズを低

5

減するダンピング抵抗としても働く。なお、図2、図3では球状素子に抵抗を形成しているが、球状素子に複数の回路素子を形成してもよい。これによって、基板間に複数の回路素子から成る電気回路を実装することができる。

【0018】(第2の実施形態)図5は本発明の第2の実施形態を示す図である。5-1はIC、5-3、5-4はそれぞれIC5-1の電源、グランド端子、5-2はIC5-1がハンダ付けされたPCBである。電源端子5-3、グランド端子5-4はそれぞれ基板上のプリント配線5-5と5-6とで5-2のスルーホールを通してIC5-1と反対の面に引き出されている。5-7はスルーホール5-2と接続されるPCBで球状素子5-8、5-9によりIC5-1の端子5-3、5-4がPCB5-7に接続されている。

【0019】図4(c)は球状素子5-8の断面を示している。球状半導体4-7の表面にAl層4-8、SiO<sub>2</sub>層4-9、ハンダメッキ層4-10が順次形成されている。内側のAl層4-8は図4(c)に示すように球状素子の赤道の一部で球状素子表面に引き出され、その上にハンダメッキを施して電極4-11が形成されている。この場合、電極4-11の周りのSiO<sub>2</sub>層4-9の幅を広くして、ハンダ熔融時にハンダメッキ層4-10と電極4-11とが短絡することを防いでいる。

【0020】図5の5-9は図4(b)の球状素子(又はハンダボール)で、直径は球状素子5-8と等しい。PCB上の球状素子接続のためのハンダペースト5-10~5-13の間隔を球状素子の直径よりやや短くして、球状素子5-8と5-9とを確実に接触させている。これにより、加熱後に球状素子5-8、5-9がハンダ接続され、球状素子5-8にはコンデンサが形成されているので、球状素子5-8、5-9とでIC5-1の電源端子5-3、グランド端子5-4の極近傍にバイパスコンデンサが実装される。

【0021】(第3の実施形態)図6は本発明の第3の実施形態を示す図である。本実施形態では球状素子を2個使い、終端抵抗を形成した例である。球状素子6-1は図4(d)に示すもので、球状半導体の両極を表面のハンダメッキ4-12で短絡している。赤道の一部にも他の球状素子との接続のためのハンダメッキ4-14が施されている。ハンダメッキ4-12と4-14との間には50Ωの抵抗体4-13が形成されている。球状素子6-2は図4(b)に示すもの(又はハンダボール)で、直径を球状素子6-1と等しくする。

【0022】6-3はBGA接続用のパッケージを持つICで、6-4はIC6-3と接続するPCBである。また、6-5は特性インピーダンス50Ωの信号線の電極部に塗布されたハンダペースト、6-6はグランド線の電極部に塗布されたハンダペースト、6-7、6-8はそれぞれハンダペースト6-5、6-6と接続される

6

IC6-3側の信号線の電極で、その上にハンダペースト6-9、6-10が塗布されている。これらを加熱することにより球状素子6-1、6-2の側面同士と、球状素子6-1、6-2とIC6-3及びPCB6-4がハンダで接続され、この時、球状素子6-1には抵抗体が形成されているので、IC6-3とPCB6-4の信号線間においてIC6-3に極めて近い位置で抵抗体4-13により終端される。

【0023】(第4の実施形態)図7は本発明の第4の実施形態を示す図である。球状素子7-1は図4(e)(f)に示すもので、(e)は外観図、(f)は断面図である。4-20は球状半導体で、その表面上の両極から赤道に向かって螺旋状のA1パターン4-21、4-22が形成され、両者は赤道付近で広がりを持ったA1パターン4-23で接続されている。これは2個のコイルをA1パターン4-23を通して直列に接続したものである。また、A1パターン4-23の上にSiO<sub>2</sub>層4-24、ハンダメッキ層2-25を積層することでコンデンサが形成されている。球状素子の両極にはA1パターン4-26、4-28の上にハンダメッキが施され、電極4-27、4-29が形成されている。

【0024】7-2は図4(b)の球状素子であり、直径は球状素子7-1と等しい。球状素子7-2の代わりに球状素子7-1と直径の等しいハンダホールを使用してもよい。PCB7-3の信号線7-4、グランド線7-5とPCB7-6の信号線7-7、グランド線7-8との間にそれぞれ球状素子7-1及び7-2が挟み込まれている。この場合、電極部にはハンダペースト7-9~7-12が塗布されている。

【0025】また、PCB上の球状素子接続のためのハンダペーストの間隔を球状素子の直径よりやや狭くして、球状素子7-1と7-2とを確実に接触させている。これらを加熱することにより、各電極がハンダ接続され、信号線7-4とグランド線7-5の間に図7に示すようにLCフィルタが形成される。なお、図5~図7では一方の球状素子のみ回路素子や回路を形成したが、他方側の球状素子に回路素子や回路を形成してもよい。例えば、図5の球状素子5-9に抵抗等の回路素子を形成し、球状素子5-8、5-9の側部を接続することにより2つの基板の信号線間に他の回路を実装することができる。

【0026】(第5の実施形態)図8は本発明の第5の実施形態を示す図である。球状素子8-2は球状半導体の表面に直列接続された2個のダイオード8-6、8-7を有し、その中点が両極の電極に接続されている。ダイオード8-6のアノードとダイオード8-7のカソードはそれぞれ球状素子の赤道上の電極に接続されている。球状半導体の両極の電極の一方はPCB8-8上のCMOS IC(図示せず)の入力端子に接続されている。ダイオード8-6のアノードとダイオード8-7の

カソードは、それぞれ直径が球状素子8-2と等しい図4(b)の球状素子(又は8-2と直径の等しいハンダボール)8-1、8-3と接触している。

【0027】球状素子8-1はPCB8-9にある電源をPCB8-8に供給し、球状素子8-3はPCB8-9のグランドをPCB8-8と接続するものである。PCB8-8、8-9の電極の上にはハンダペースト8-10~8-15が塗布されており、加熱によりハンダペースト及びハンダメッキの部分が接続され、図8に示すようにCMOS ICの入力端子の保護ダイオードが形成される。本実施形態では、CMOS ICの入力端子に異常電圧が加わった場合に、それによる電流はIC内に入らず、球状素子を通して電源又はグランドに流れるので、内部の回路を保護することができる。

【0028】(第6の実施形態)図9は本発明の第6の実施形態を示す図である。球状素子9-1は球状半導体の表面にコルビッツ発振回路として知られている回路を形成したものである。9-2、9-3は直径が球状素子9-1と等しい図4(b)の球状素子(又は9-1と直径の等しいハンダボール)である。発振回路には電源がPCB9-4から供給される。

【0029】発振回路の出力は球状素子9-1と9-2とを接触させることにより、球状素子9-2からPCB9-4、あるいは9-5に供給される。球状素子9-3はPCB9-4と9-5のグランドを接続するためのもので、球状素子9-2との間に隙間を空けて絶縁されている。図9のPCB9-4、9-5の接点部9-7~9-12には第1~第5の実施形態と同様に電極の上にハンダペーストが塗布されており、加熱により各部がハンダで接続され、図9のようにPCB9-4と9-5の間に発振回路が形成される。

【0030】(第7の実施形態)図10は本発明の第7の実施形態を示す図である。球状素子10-1は図4(b)に示す球状素子(又はハンダボール)、10-2は図4(g)に示すように球状半導体の表面に螺旋状のA1パターンによるコイル4-30とその両端にハンダメッキで電極4-31、4-32を形成したものである。球状素子10-3は図4(a)に示すように抵抗を有する球状素子、10-4は図4(c)に示すようにコンデンサを有する球状素子である。球状素子10-1~10-4の電極間の直径は全て等しい。また、10-5、10-6はこれらの球状素子によって接続されるPCBである。

【0031】図10のPCB10-5、10-6の各接点部には第1~第6の実施形態と同様に電極の上にハンダペーストが塗布されている。球状素子10-1~10-4は空間的に絶縁されているが、球状素子10-2~10-4はPCB10-5及び10-6の中で接続されており、並列接続になっている。この並列回路に球状素子10-1を通してPCB10-5の電流源10-7を

接続することにより、加熱後にPCB10-5、10-6間に図10に示すように共振周波数 $\omega = 1/LC$ (Lは球状素子10-2のインダクタンス、Cは球状素子10-4の容量)のLCR共振回路が形成される。

【0032】(第8の実施形態)図11~図13は本発明の第8の実施形態を示す図である。本実施形態では球状素子を用いてPCB間に整流回路を形成したものである。図11の11-1は交流電源回路を有するPCB、11-2は負荷回路を有するPCBで、11-3から11-6はそれぞれ別個の球状半導体上に形成されたダイオードである。このようにダイオードブリッジを構成することによりPCB11-1の交流電源を全波整流してPCB11-2の負荷回路に供給することが可能である。図12はPCBと垂直方向から球状素子を見たもので、各球状素子のダイオード12-5~12-8はPCBと平行な面で図12に示すような向きで互いに接続されている。接点12-1及び12-3は電源PCBに、接点12-2及び12-4は負荷側PCBに、それぞれ球状素子上のA1パターンとPCBの電極上のハンダペーストを通して接続されている。

【0033】図13はPCBと平行な方向から見た図である。分かり易くするために図12のA部を左右に開いて1列にして示している。図13の13-5は図11の電源PCB11-1、図13の13-6は図11の負荷側PCB11-2である。また、図13の13-1、13-3はそれぞれ図11の電源PCBの電源出力端子11-7、11-8に、図13の13-2、13-4はそれぞれ図11の負荷側PCBの入力端子11-9、11-10に接続されている。図13のPCB13-5、13-6の各接点部には、第1~第7の実施形態と同様に電極の上にハンダペーストが塗布されており、加熱することにより図11のような整流回路がPCB間に実装される。

【0034】

【発明の効果】以上説明したように本発明によれば、電気回路素子や電気回路を有する球状素子を用いて基板を接続することにより、部品点数を削減でき、コストを低減することができる。また、実装面積を小さくできるため、機器を小型化、軽量化することができる。更に、例えば、バイパスコンデンサや終端抵抗等の部品を基板の極近傍に配置できるため、ノイズ等の対策に寄与することができる。

【図面の簡単な説明】

【図1】本発明に係る球状素子の接続方法を示す図である。

【図2】本発明の第1の実施形態を示す図である。

【図3】図1の実施形態の概略の回路構成図である。

【図4】本発明の各実施形態で用いる球状素子の構造を示す図である。

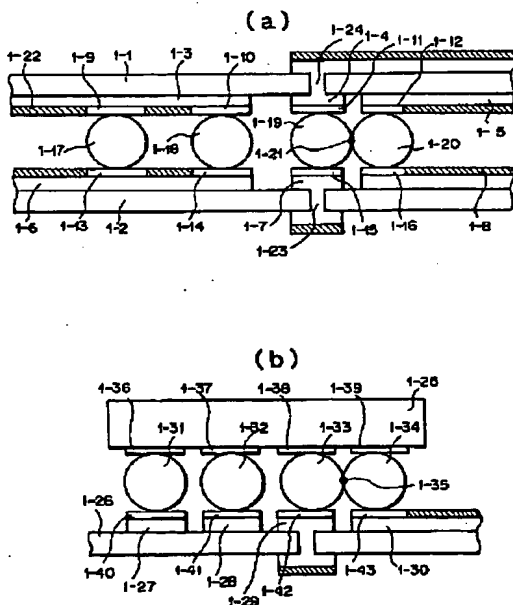
【図5】本発明の第2の実施形態を示す図である。

【図6】本発明の第3の実施形態を示す図である。  
 【図7】本発明の第4の実施形態を示す図である。  
 【図8】本発明の第5の実施形態を示す図である。  
 【図9】本発明の第6の実施形態を示す図である。  
 【図10】本発明の第7の実施形態を示す図である。  
 【図11】本発明の第8の実施形態を示す図である。  
 【図12】第8の実施形態においてPCBと垂直な方向から球状素子を見た概略構成図である。  
 【図13】第8の実施形態においてPCBと平行な方向から見た概略構成図である。  
 【図14】従来の実装形態を示す図である。

【符号の説明】

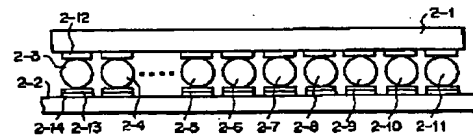
1-1~1-2 PCB  
 1-9~1-16 ハンダペースト  
 1-17~1-20 球状素子  
 1-25 IC  
 1-26 PCB  
 1-31~1-34 球状素子  
 2-1 BGA用IC  
 2-2 PCB  
 2-3~2-11 球状素子  
 2-12~2-13 ハンダペースト  
 3-1 IC  
 3-2 PCB  
 3-8~3-11 球状素子  
 3-12 IC  
 4-1 球状半導体  
 4-2 抵抗

【図1】

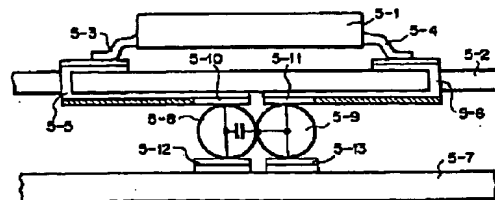


\* 4-3, 4-4 電極  
 4-5 球状半導体  
 4-6 ハンダメッキ  
 4-7 球状半導体  
 4-8 Al層  
 4-9 SiO<sub>2</sub>層  
 4-10 ハンダメッキ  
 4-11 電極  
 4-12, 4-14 ハンダメッキ  
 10 4-13 抵抗体  
 4-21, 4-22, 4-23 Alパターン  
 4-24 SiO<sub>2</sub>層  
 4-25 ハンダメッキ層  
 5-1 IC  
 5-2, 5-7 PCB  
 5-8, 5-9 球状素子  
 5-10~5-13 ハンダペースト  
 6-1, 6-2 球状素子  
 6-3 IC  
 20 6-4 PCB  
 7-1~7-2 球状素子  
 7-3, 7-6 PCB  
 8-1~8-3 球状素子  
 8-8, 8-9 PCB  
 9-1~9-3 球状素子  
 9-4~9-5 PCB  
 10-1~10-4 球状素子  
 \* 10-5, 10-6 PCB

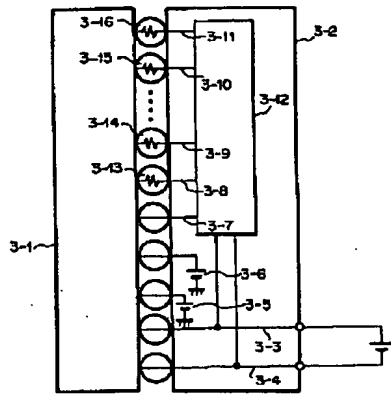
【図2】



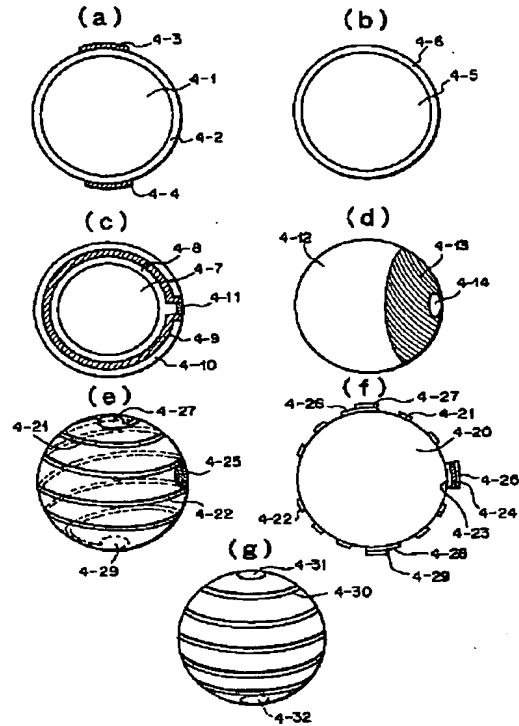
【図5】



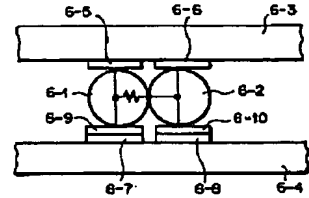
【図3】



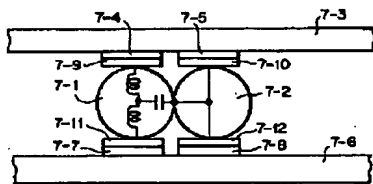
【図4】



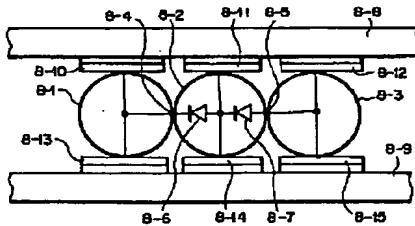
【図6】



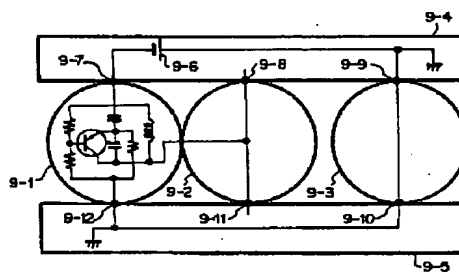
【図7】



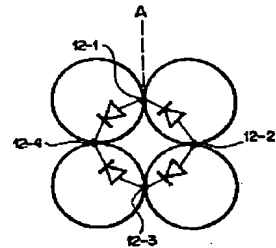
【図8】



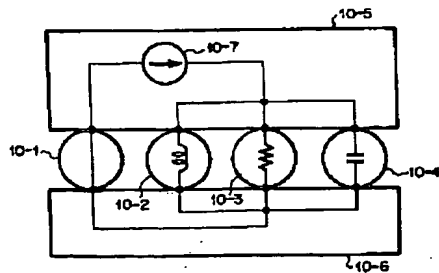
【図9】



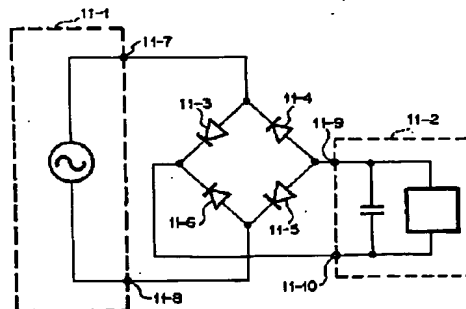
【図12】



【図10】

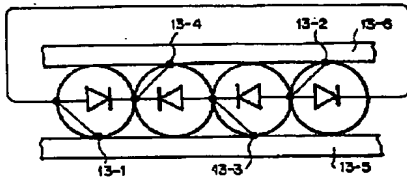


【図11】

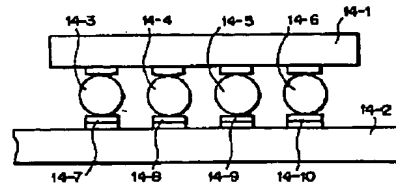




【図13】



【図14】



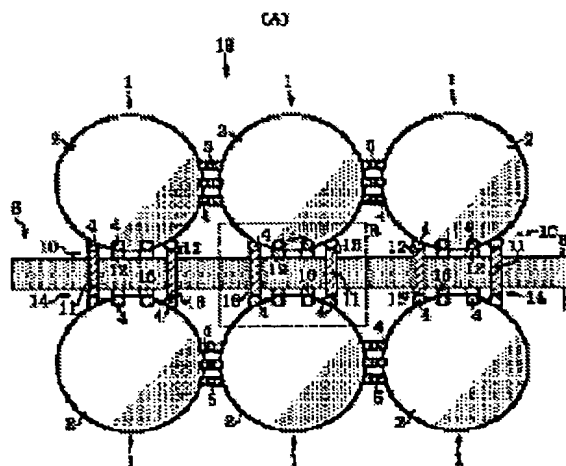
# SPHERICAL SEMICONDUCTOR CONNECTION BOARD AND SPHERICAL SEMICONDUCTOR MOUNTING STRUCTURE USING THE SAME

Patent number: JP2000349224  
Publication date: 2000-12-15  
Inventor: KURODA MASAO; NISHIURA KOJI  
Applicant: NGK SPARK PLUG CO  
Classification:  
- international: *H01L21/60; H01L23/52; H01L25/065; H01L25/07; H01L25/18; H01L21/02; H01L23/52; H01L25/065; H01L25/07; H01L25/18; (IPC1-7): H01L23/52; H01L21/60; H01L25/065; H01L25/07; H01L25/18*  
- european:  
Application number: JP19990154599 19990602  
Priority number(s): JP19990154599 19990602

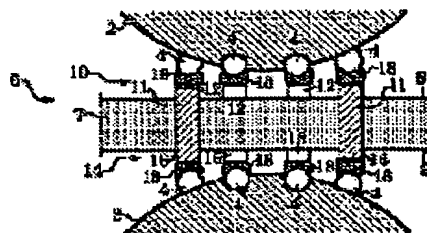
[Report a data error here](#)

## Abstract of JP2000349224

**PROBLEM TO BE SOLVED:** To provide a spherical semiconductor connection board of small space, together with a spherical semiconductor mounting structure using it, wherein the number of parts and cost are suppressed, while connection is made easy and sure. **SOLUTION:** A spherical semiconductor connection board 6, which is a board comprising first and second main surfaces 8 and 9 parallel to each other, comprises annular first-surface side terminals 12, which are provided at a mounting part 10 for mounting a spherical semiconductor 1 formed on the first main surface 8, and annular second-surface side terminals 16 provided at a mounting part 14 for mounting the spherical semiconductor 1 formed on the second main surface 9. Related to a spherical semiconductor mounting structure 19, a plurality of spherical semiconductors 1 are mounted on the main surfaces 8 and 9 via the connection board 6.



(A)



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**